

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 1月22日

出願番号 Application Number: 特願2003-013492

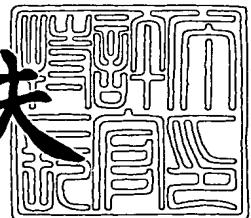
[ST. 10/C]: [JP2003-013492]

出願人 Applicant(s): 株式会社デンソー

2003年10月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 N020906

【提出日】 平成15年 1月22日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/08

G06J 3/00

【発明者】

【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

【氏名】 伊藤 健治

【発明者】

【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

【氏名】 原田 卓哉

【発明者】

【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

【氏名】 磯村 博文

【特許出願人】

【識別番号】 000004260

【氏名又は名称】 株式会社デンソー

【代理人】

【識別番号】 100071135

【住所又は居所】 名古屋市中区栄四丁目6番15号 名古屋あおば生命ビル

【弁理士】

【氏名又は名称】 佐藤 強

【電話番号】 052-251-2707

【選任した代理人】

【識別番号】 100119769

【弁理士】

【氏名又は名称】 小川 清

【手数料の表示】

【予納台帳番号】 008925

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9200169

【包括委任状番号】 0217337

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項1】 半導体チップ上に、サンプリング信号に同期してアナログ電圧をサンプリングし該電圧を処理するアナログ電圧処理部と、デジタル処理に基づいてPWM駆動信号を生成し該信号を被駆動部に与えるPWM駆動部とが形成された半導体集積回路装置において、

前記PWM駆動信号のレベルが変化してから前記被駆動部の通電状態が実際に変化するまでの遅延時間 t_d が、少なくとも前記PWM駆動信号の第2レベルの最小時間幅よりも小さいことを条件として、前記PWM駆動信号の周期開始時点である第1レベルから第2レベルへの変化時点を取得し、当該周期開始時点よりも前記遅延時間 t_d だけ経過した後の一定時点において前記アナログ電圧処理部に対してサンプリング信号を与えるサンプリング信号生成回路を備えたことを特徴とする半導体集積回路装置。

【請求項2】 前記サンプリング信号生成回路は、余裕時間 t_a (> 0) とした場合、遅延時間 t_d が（第2レベルの最小時間幅－余裕時間 t_a ）よりも小さいことを条件として、前記PWM駆動信号の周期開始時点よりも（遅延時間 t_d + 余裕時間 t_a ）だけ経過した時点において前記アナログ電圧処理部に対してサンプリング信号を与えることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記PWM駆動部は、前記PWM駆動信号の各周期について、前記周期開始時点を出力するように構成されていることを特徴とする請求項1または2記載の半導体集積回路装置。

【請求項4】 半導体チップ上に、サンプリング信号に同期してアナログ電圧をサンプリングし該電圧を処理するアナログ電圧処理部と、デジタル処理に基づいてPWM駆動信号を生成し該信号を被駆動部に与えるPWM駆動部とが形成された半導体集積回路装置において、

前記PWM駆動信号のレベルが変化してから前記被駆動部の通電状態が実際に変化するまでの遅延時間を t_d として、

遅延時間 t_d < 基準時間 t_s \leq (PWM駆動信号の周期 - 遅延時間 t_d)
 なる条件を満たす基準時間 t_s を予め設定し、前記PWM駆動信号の周期開始時
 点である第1レベルから第2レベルへの変化時点と当該周期における第2レベル
 の時間幅とを取得し、前記基準時間 t_s が前記第2レベルの時間幅よりも大きい
 場合には前記周期開始時点から (基準時間 t_s + 遅延時間 t_d) が経過した時点
 で前記アナログ電圧処理部に対してサンプリング信号を与え、前記基準時間 t_s
 が前記第2レベルの時間幅以下である場合には前記周期開始時点から前記基準時
 間 t_s が経過した時点で前記アナログ電圧処理部に対してサンプリング信号を与
 えるサンプリング信号生成回路を備えたことを特徴とする半導体集積回路装置。

【請求項5】 前記サンプリング信号生成回路は、余裕時間 t_a (> 0)
 として、

$$(遅延時間 t_d + 余裕時間 t_a) < \text{基準時間 } t_s \\ \leq (\text{PWM駆動信号の周期} - \text{遅延時間 } t_d - \text{余裕時間 } t_a)$$

なる条件を満たす基準時間 t_s を予め設定し、前記基準時間 t_s が前記第2レベル
 の時間幅よりも大きい場合には前記周期開始時点から (基準時間 t_s + 遅延時
 間 t_d + 余裕時間 t_a) が経過した時点で前記アナログ電圧処理部に対してサン
 プリング信号を与えることを特徴とする請求項4記載の半導体集積回路装置。

【請求項6】 前記PWM駆動部は、前記PWM駆動信号の各周期について
 、前記周期開始時点と第2レベルの時間幅とを出力するように構成されているこ
 とを特徴とする請求項4または5記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体チップ上に、アナログ電圧をサンプリングし該電圧を処理す
 るアナログ電圧処理部と、デジタル処理に基づいてPWM駆動信号を生成するP
 WM駆動部とが形成された半導体集積回路装置に関する。

【0002】

【従来の技術】

デジタルアナログ混載ICであって、アナログ回路に含まれるサンプリング処

理部のサンプリング時間を決めるタイミング信号が、デジタル回路において他のデジタル回路と共通のマスタークロックを使って生成されているものを対象として、デジタル回路で発生するパルスノイズの影響がアナログ回路のサンプリング処理に及ぼないようにする技術がある（特許文献1参照）。これは、タイミング信号の反転タイミングを、マスタークロックの立ち上がりまたは立ち下がりに対し、デジタル回路のゲート1段あたりの遅延時間よりも十分大きな一定時間以上の時間差を持つように設定することにより実現されている。

【0003】

【特許文献1】

特開平9-153802号公報

【0004】

【発明が解決しようとする課題】

この技術は、マスタークロックのように常に一定波形を持つノイズ発生源に対しては有効であり、上記タイミング信号の反転タイミングとマスタークロックの立ち上がりまたは立ち下がりとの時間差を一定時間に設定することができる。しかしながら、例えばパワー素子をPWM駆動する場合のPWM駆動信号のように、周期は一定であってもデューティ比が絶えず変化するような場合には、PWM駆動信号の立ち下がり（または立ち上がり）のタイミングが変動するため適用することができない。

【0005】

PWM駆動されるパワー素子に流れる電流は、そのPWM駆動信号に応じて急峻に通断電されるため、たとえ半導体集積回路装置（IC）内にパワー素子が搭載されていなくても、パワー素子とICとが電源を共通にするなどの事情がある場合には、ノイズが電源ラインを通して当該IC内のアナログ電圧処理部に入り込む。特に、PWM駆動により制御されるモータやソレノイドなどは、比較的大きい電流容量を持つため、例えば車載機器などバッテリを共通の電源として使用せざるを得ない機器では、アナログ電圧処理部へのノイズの侵入が深刻な問題となっている。

【0006】

本発明は上記事情に鑑みてなされたもので、その目的は、アナログ回路とデジタル回路が混載された半導体集積回路装置において、PWM駆動部の動作に伴つて発生するノイズのアナログ電圧処理部への影響を極力低減可能な半導体集積回路装置を提供することにある。

【0007】

【課題を解決するための手段】

請求項1に記載した手段によれば、PWM駆動部が生成するPWM駆動信号のレベル変化に対応して、PWM駆動部から出力される被駆動部（パワー素子など）の駆動電流（ゲート駆動電流、ベース駆動電流など）が変化し、あるいは被駆動部自体の通電電流が変化する。従って、半導体集積回路装置にPWM駆動部が設けられていると、被駆動部が半導体集積回路装置に内蔵されているか外部に設けられるかに関わらず、PWM駆動部においてPWM駆動信号のレベル変化時点あるいは被駆動部の通電状態変化時点でパルス状のノイズが発生する。

【0008】

サンプリング信号生成回路は、PWM駆動信号の周期開始時点である第1レベル（例えば被駆動部の断電状態に対応）から第2レベル（例えば被駆動部の通電状態に対応）への変化時点を取得し、当該時点から実際に被駆動部の通電状態が変化するまでの遅延時間 t_d が経過した後の一定時点にアナログ電圧処理部に対してサンプリング信号を与える。つまり、本手段によれば、PWM駆動信号が第2レベルにある期間内にサンプリング信号を与えることができるので、PWM駆動信号の変化により生じるノイズとサンプリング信号とが時間的に重なり合うことがなくなる。また、サンプリング信号を等間隔で発生させることができる。従って、アナログ電圧処理部は、ノイズに影響されることなく、入力されるアナログ電圧を一定間隔で正確にサンプリングすることができる。

【0009】

ただし、上記手段によりサンプリング信号を発生させると、PWM駆動信号の第2レベルの時間幅が小さくなつて上記遅延時間 t_d 以下となつた場合に、PWM駆動信号の第2レベルから第1レベルへの変化とサンプリング信号とが重なる虞が生じる。従って、本手段は、遅延時間 t_d が少なくともPWM駆動信号の第

2 レベルの最小時間幅よりも小さいことを条件として適用可能となる。

【0010】

請求項2に記載した手段によれば、請求項1記載の手段に対して余裕時間 t_a が考慮され、被駆動部の通電状態が変化してからサンプリング信号が発生するまでの間に少なくとも余裕時間 t_a が確保されることになる。この余裕時間 t_a は正の値であって、被駆動部に流れる電流が変化するのに要する時間等を考慮して、ノイズとサンプリング信号とが重ならないように適宜設定される。

【0011】

請求項3に記載した手段によれば、サンプリング信号生成回路は、PWM駆動部から、PWM駆動信号の各周期について周期開始時点を取得することができる。

【0012】

請求項4に記載した手段によれば、サンプリング信号生成回路は、基準時間 t_s を予め設定し、その基準時間 t_s とPWM駆動信号の第2レベルの時間幅との大小関係に応じてサンプリング信号を生成する。具体的には、①基準時間 t_s が第2レベルの時間幅よりも大きい場合には周期開始時点から（基準時間 t_s + 遅延時間 t_d ）が経過した時点でサンプリング信号を出力し、②基準時間 t_s が第2レベルの時間幅以下である場合には周期開始時点から基準時間 t_s が経過した時点でサンプリング信号を出力する。

【0013】

本手段によれば、サンプリング信号生成回路は、デューティ比が刻々と変化するPWM駆動信号において、第2レベルから第1レベルへの変化時点を避けるようにしてサンプリング信号を生成することができるので、PWM駆動信号の変化により生じるノイズとサンプリング信号とが時間的に重なり合うことがなくなる。また、基準時間 t_s と第2レベルの時間幅との大小関係によってサンプリング信号の発生タイミングは僅かに遅延時間 t_d だけ異なるだけなので、サンプリング信号をほぼ等間隔で発生させることができる。従って、アナログ電圧処理部は、ノイズに影響されることなく、入力されるアナログ電圧をほぼ一定間隔で正確にサンプリングすることができる。

【0014】

ただし、基準時間 t_s を極端に小さく設定すると、PWM駆動信号の第1レベルから第2レベルへの変化とサンプリング信号とが重なる虞が生じ、また極端に大きく設定すると、サンプリング信号を当該PWM周期内に発生させることができない虞が生じる。そこで、基準時間 t_s は、

遅延時間 t_d < 基準時間 t_s \leq (PWM駆動信号の周期 - 遅延時間 t_d)
なる条件を満たすように設定される。

【0015】

請求項5に記載した手段によれば、請求項4記載の手段に対して余裕時間 t_a が考慮される。すなわち、上記①の場合、PWM駆動信号の第2レベルから第1レベルへの変化に対応して被駆動部の通電状態が変化してからサンプリング信号が発生するまでの間に少なくとも余裕時間 t_a が確保されることになる。また、上記②の場合には、サンプリング信号が発生してから被駆動部の通電状態が変化するまでの間に少なくとも遅延時間 t_d の余裕時間が確保されている。さらに、PWM駆動信号の第1レベルから第2レベルへの変化に対しても余裕時間 t_a が確保される。余裕時間 t_a は正の値であって、被駆動部に流れる電流が変化するのに要する時間等を考慮して、ノイズとサンプリング信号とが重ならないように適宜設定される。

【0016】

請求項6に記載した手段によれば、サンプリング信号生成回路は、PWM駆動部から、PWM駆動信号の各周期について周期開始時点と第2レベルの時間幅とを取得することができる。

【0017】

【発明の実施の形態】

(第1の実施形態)

以下、本発明を車載モータ制御用のIC(半導体集積回路装置)に適用した第1の実施形態について図1ないし図3を参照しながら説明する。

図1は、モータ駆動装置の電気的構成を示している。このモータ駆動装置1は、車両に搭載されたブラシ付きの直流モータ2の近傍に設置されており、図示し

ないE C U (Electronic Control Unit) からの指令信号S mに従ってモータ2を回転駆動するものである。モータ駆動装置1は、バッテリ（図示せず）から電源電圧の供給を受けて動作するが、バッテリ電圧V Bが変動してもモータ印加電圧が一定となるように、モータ2の両端電圧をフィードバック制御するようになっている。ここで、端子3、4は電源端子、端子5は信号入力端子、端子6 p、6 nはモータ接続端子である。

【0018】

モータ駆動装置1は、制御用のI C 7、パワー部8、モータ2の端子間電圧を検出する電圧検出回路9、および端子3と装置内の電源線11との間に挿入されたフィルタ10とから構成されている。パワー部8は、ハイサイドスイッチの形態に接続されたPチャネル型パワーMOSFET（図示せず）から構成されており、該パワーMOSFETは、I C 7から出力されるPWM信号S PWM2によってオンオフ動作するようになっている。電圧検出回路9は、例えば抵抗分圧回路から構成されている。なお、端子6 pと6 nとの間には、電流還流用のダイオード（図示せず）が接続されている。

【0019】

I C 7には、フィルタ10を通過した後のバッテリ電圧V Bが電源線11を通して供給されている。図示しないが、I C 7は電源回路を備えており、バッテリ電圧V Bに基づいて制御用の電源電圧V cc（例えば5 V）を生成するようになっている。

【0020】

このI C 7はモノリシックI Cであって、一つの半導体チップ上にアナログ回路部12とデジタル回路部13とが形成されている。両回路部12、13は、半導体チップ上で分離して配置されているが、電源を共用しているためにデジタル回路部13の動作により生じるノイズがI C内部の電源線等を通してアナログ回路部12に侵入する虞がある。また、I C 7とパワー部8は電源線11を共用しているため、パワー部8のオンオフ動作により生じるノイズがI C 7に侵入する虞もある。

【0021】

IC7のアナログ回路部12は、フィルタ回路14、A/D変換器15および基準電圧発生回路16から構成されている。このうちフィルタ回路14は、電圧検出回路9から出力される矩形状の信号電圧を平均化処理し、モータ2に印加される平均電圧を出力するようになっている。A/D変換器15（アナログ電圧処理部に相当）は、後述するサンプリング信号S_tに同期して入力電圧V_{in}（モータ印加電圧）をサンプル・ホールドし、そのホールドされたサンプリング電圧をA/D変換してデジタルデータD_mを出力するものである。その際に必要となる基準電圧V_{ref}は、例えばバンドギャップレギュレータからなる基準電圧発生回路16で生成される。なお、基準電圧発生回路16は、バッテリ電圧V_Bの下で動作するようになっている。

【0022】

一方、デジタル回路部13は、電源電圧V_{cc}の下で動作する演算・制御部17、PWM信号生成回路18、サンプリング信号生成回路20と、バッテリ電圧V_Bの下で動作するレベルシフト回路19とから構成されている。このうち演算・制御部17は、例えばゲートアレイを用いて構成されるもので、モータ印加電圧が一定となるように上記デジタルデータD_mを基にPI制御演算等を実行するようになっている。なお、ハードウェアによる構成に替えて、CPUを利用してソフトウェア処理する構成としても良い。

【0023】

PWM信号生成回路18は、演算・制御部17から出力された演算結果に基づいてPWM信号SPWM1を生成するものである。PWM信号SPWM1のLレベル（第1レベルに相当）、Hレベル（第2レベルに相当）は、それぞれパワーパート8を構成するパワーMOSFETのオフ状態、オン状態に相当し、そのLレベルからHレベルの変化時点がPWM周期の開始時点となっている。レベルシフト回路19は、5V系のPWM信号SPWM1を電圧V_B系のPWM信号SPWM2にレベル変換するもので、パワーMOSFETを駆動するだけの電流出力能力を備えている。さらに、PWM信号生成回路18は、サンプリング信号生成回路20に対して、上述の周期開始時点を示すパルス状のスタート信号S_p（図3（f）参照）を出力するようになっている。なお、PWM信号生成回路18とレベルシフト回路19

は、一体として本発明でいう PWM駆動部に相当する。

【0024】

サンプリング信号生成回路20は、上記スタート信号S_p、遅延時間t_dおよび余裕時間t_aに基づいてサンプリング信号S_tを生成するもので、具体的には図2に示す構成となっている。ここで、遅延時間t_dとは、PWM信号SPWM1のレベルが変化してからパワー部8の通電電流が実際に変化するまでの遅れ時間であり、余裕時間t_aとは、サンプリング信号S_tと後述するPWMノイズとの間の余裕時間である。

【0025】

タイマとして機能するカウンタ21は、スタート信号S_pによりカウント値を0にリセットし、リセット解除後は基準クロックをカウントしたNビットのデジタルデータD_tを出力するようになっている。一方、時間t_c（＝遅延時間t_d＋余裕時間t_a）もNビットのデジタルデータD_cとして表されており、コンパレータ22は、デジタルデータD_tとD_cとを比較してD_t = D_cとなった時点でパルス状のサンプリング信号S_tを出力するようになっている。

【0026】

次に、本実施形態の動作について図3も参照しながら説明する。

図3は、PWMに関する各信号のタイミング並びに電圧波形を示すもので、PWMのデューティ比が急激に増大している場合を示している。各波形は、上から順に、(a) 信号SPWM1、(b) 信号SPWM2、(c) パワー部8の出力電圧(モータ印加電圧)、(d) 電源線11の電圧、(e) 基準電圧V_{ref}、(f) スタート信号S_p、(g) サンプリング信号S_tを表している。

【0027】

モータ駆動装置1がECUから駆動開始の指令信号S_mを入力すると、IC7内部では、モータ印加電圧が一定となるように演算・制御部17がPI制御演算を実行し、PWM信号生成回路18はその演算結果に基づいてPWM信号SPWM1(図3(a)参照)を生成する。レベルシフト回路19は、このPWM信号SPWM1のレベル変換を行いPWM信号SPWM2(図3(b)参照)としてパワー部8に出力する。この場合、PWM信号SPWM1のレベルが変化すると、レベルシフト回

路19にはパワーMOSFETのゲート電荷を充放電するための急峻なゲート駆動電流が流れる。この電流は、電源線11からIC7内部の電源線に流れるため、これら電源線に存在するインダクタンス成分によりパルス状の電圧ノイズが発生することになる。

【0028】

パワー部8は、PWM信号SPWM2に従ってモータ2に流れる電流を通断電し、以ってモータ2への印加電圧が制御される（図3（c）参照）。しかし、PWM制御を行うと、パワー部8に繋がる電源線11の電流はPWM周期ごとに通電と断電とが繰り返されるので、それに対応して電源線11には上記ゲート駆動電流に対応したノイズよりも更に大きいパルス状の電圧ノイズが発生する（図3（d）参照）。

【0029】

また、基準電圧発生回路16はバッテリ電圧VBの供給を受けて動作するため、生成される基準電圧Vrefにも同様のノイズが重畠し（図3（e）参照）、そのノイズがA/D変換器15に侵入する。

【0030】

これに対し、サンプリング信号生成回路20は、上記PWMノイズと重ならないようなタイミングでサンプリング信号S_tを出力することができる（図3（g）参照）。すなわち、サンプリング信号生成回路20は、カウンタ21を用いてPWM周期開始時点からの経過時間tを計測し、その時間tが時間t_c（＝遅延時間t_d＋余裕時間t_a）となった時点でサンプリング信号S_tを出力する。このようにすると、PWM信号SPWM1がLレベルからHレベルに変化した時点から、実際にパワー部8がオンになり更に余裕時間t_aが経過した時点でサンプリング信号S_tが発生する。

【0031】

従って、パワー部8が通電状態に変化してノイズが発生する時点とサンプリング信号S_tの発生時点とは少なくとも余裕時間t_aだけずれることになり、A/D変換器15は、サンプリング信号S_tに従ってPWMノイズのない状態で入力電圧V_{in}（モータ印加電圧）をサンプリングすることができる。なお、余裕時間

t_a は、パワーパート 8 の通電電流が変化するのに要する時間等を考慮して、ノイズとサンプリング信号 S_t とが重ならないように適宜設定すれば良い。

【0032】

一方、このようなサンプリング信号 S_t を用いた場合、PWM信号 SPWM1 の H レベル時間幅が短くなると、PWM信号 SPWM1 が H レベルから L レベルに変化する時点とサンプリング信号 S_t の発生時点とが重なる虞が生じる。そこで、PWM 信号 SPWM1 の H レベルの最小時間幅を t_{min} として、遅延時間 t_d が（最小時間幅 t_{min} - 余裕時間 t_a ）よりも小さいことを条件として適用する。一般に、モータ印加電圧が小さくなるとモータ印加電圧と回転速度とのリニアリティが失われモータ 2 が停止してしまうため、PWM 信号 SPWM1 のデューティ比に下限を設ける場合も多い。このような場合には、その下限デューティ比に対応した最小時間幅 t_{min} が上記条件式を満足することを確認して適用すれば良い。

【0033】

以上説明したように、本実施形態のモータ駆動装置 1 に用いられる PWM 制御用の IC 7 は、A/D 変換器 15 を含むアナログ回路部 12 と PWM 信号生成回路 18 を含むデジタル回路部 13 とが混載された IC である。そして、IC 7 のサンプリング信号生成回路 20 は、A/D 変換器 15 に対し、PWM 信号 SPWM1 が H レベルにある期間内にサンプリング信号 S_t を与えることができるので、PWM 信号 SPWM1 およびパワーパート 8 の通電状態の変化により生じる PWM ノイズとサンプリング信号 S_t とが時間的に重なり合うことがなくなる。また、パワーパート 8 の通電状態が変化してからサンプリング信号 S_t が発生するまでの間に少なくとも余裕時間 t_a が確保されるので、A/D 変換器 15 の電圧サンプリングに対する PWM ノイズの影響を一層低減することができる。

【0034】

さらに、PWM 周期開始時点からサンプリング信号 S_t が発生するまでの時間 t_c は一定値に定められるため、サンプリング信号 S_t を等間隔で発生させることができる。従って、A/D 変換器 15 は、ノイズに影響されることなく、入力されるアナログ電圧を一定間隔で正確にサンプリングすることができる。

【0035】

(第2の実施形態)

次に、本発明の第2の実施形態について図4および図5を参照しながら説明する。

本実施形態に係るモータ駆動装置は、第1の実施形態で説明したモータ駆動装置1と同様な機能を有しているが、サンプリング信号生成回路の構成が異なっている。また、PWM信号生成回路18(図1参照)は、サンプリング信号生成回路23(図4参照)に対して、スタート信号S_pの他に各PWM周期についてのPWM信号SPWM1のデューティ比を出力するようになっている。ただし、実際にはデューティ比に代えてそれと実質的に等価であるPWM信号SPWM1のHレベル時間幅(パルス幅t_p)のデジタルデータD_pを出力するようになっている。このデジタルデータD_pはNビット長であり、PWM周期T(一定値)を2^Nに分割して0から(2^N-1)のデータで表されている。

【0036】

図4は、サンプリング信号生成回路23の構成であって、図2と同一構成部分には同一符号を付して示している。コンパレータ22は、PWM周期開始時点からの経過時間tに対応するデジタルデータD_tとセレクタ24の出力データD_rとを比較し、D_t=D_rとなった時点でパルス状のサンプリング信号S_tを出力するようになっている。

【0037】

そのセレクタ24には2つのデジタルデータが入力されている。一つは、基準時間t_sに対応したデジタルデータD_sであり、他の一つは、加算器25を用いて得られた時間t_e(=基準時間t_s+遅延時間t_d+余裕時間t_a)に対応したデジタルデータD_eである。これらの時間とデジタルデータとの対応関係は、上述したパルス幅t_pとデジタルデータD_pとの対応関係と同様である。ここで、基準時間t_sは、後述するようにサンプリング信号S_tの発生タイミングを決定するために予め設定される一定時間である。

【0038】

セレクタ24は、コンパレータ26の出力信号により切り替えられるようになっている。すなわち、コンパレータ26は、上記デジタルデータD_pとD_sとを

比較し、 $D_s > D_p$ の場合にはセレクタ24にデジタルデータ D_e を選択させ、 $D_s \leq D_p$ の場合にはセレクタ24にデジタルデータ D_s を選択させるようになっている。

【0039】

次に、本実施形態の動作について図5も参照しながら説明する。

図5は、PWMに関する各信号のタイミング並びに電圧波形を示すもので、PWMのデューティ比が急激に増大している場合を示している。この図5 (a) ~ (f) に示される信号および電圧は、上述した図3 (a) ~ (f) に示されるものと同じであり、図5 (g) と (h) は、それぞれデジタルデータ D_p とサンプリング信号 S_t を表している。

【0040】

サンプリング信号生成回路23は、本実施形態で新たに導入した基準時間 t_s がPWM信号SPWM1のHレベルパルス幅 t_p よりも大きいか否かによってサンプリング信号 S_t の出力タイミングを調整している。すなわち、基準時間 t_s がパルス幅 t_p よりも大きい場合には、PWM周期開始時点から時間 t_e (=基準時間 t_s +遅延時間 t_d +余裕時間 t_a) が経過した時点でサンプリング信号 S_t を出力する。

【0041】

このようにすると、PWM信号SPWM1がHレベルからLレベルに変化したのに対応して実際にパワー部8がオフになり更に余裕時間 t_a が経過した時点以降にサンプリング信号 S_t が発生する。従って、パワー部8が断電状態に変化してノイズが発生する時点とサンプリング信号 S_t の発生時点とは少なくとも余裕時間 t_a だけずれることになり、A/D変換器15は、サンプリング信号 S_t に従ってPWMノイズのない状態で入力電圧 V_{in} (モータ印加電圧) をサンプリングすることができる。なお、余裕時間 t_a は、第1の実施形態と同様の観点から適宜設定すれば良い。

【0042】

これに対し、基準時間 t_s がパルス幅 t_p 以下である場合には、PWM周期開始時点から基準時間 t_s が経過した時点でサンプリング信号 S_t を出力する。こ

のようにすると、 PWM信号 SPWM1がHレベルにある期間内にサンプリング信号 S_tを発生させることができる。ここで、基準時間 t_sとパルス幅 t_pとが等しい時にサンプリング信号 S_tとノイズ発生時点との時間余裕が最小となるが、この場合であっても PWM信号 SPWM1から PWM信号 SPWM2までの遅延時間あるいは PWM信号 SPWM1からパワー部8の通電変化までの遅延時間 t_dだけの余裕は確保されている。従って、A/D変換器15は、PWMノイズのない状態でサンプリングすることができる。

【0043】

ところで、基準時間 t_sを極端に小さく設定すると、 PWM信号 SPWM1がLレベルからHレベルに変化する時点とサンプリング信号 S_tの発生時点とが重なる虞が生じる。そこで、(遅延時間 t_d + 余裕時間 t_a) < 基準時間 t_sなる関係を満たす範囲内で基準時間 t_sを設定することにより、両者間に余裕時間 t_aを確保することができる。

【0044】

一方、基準時間 t_sを極端に大きく設定すると、サンプリング信号 S_tを当該 PWM周期内に発生させることができない虞が生じる。そこで、基準時間 t_s ≤ (PWM駆動信号の周期 - 遅延時間 t_d - 余裕時間 t_a) なる関係を満たす範囲内で基準時間 t_sを設定することにより、必ず当該周期内にサンプリング信号 S_tを発生させることが可能となる。

【0045】

以上説明したように、本実施形態のサンプリング信号生成回路23は、デューティ比が刻々と変化する PWM信号 SPWM1において、HレベルからLレベルへの変化時点を避けるようにしてサンプリング信号 S_tを生成することができるので、PWM信号 SPWM1およびパワー部8の通電状態の変化により生じる PWMノイズとサンプリング信号 S_tとが時間的に重なり合うことがなくなる。この場合、パワー部8の通電状態が変化してからサンプリング信号 S_tが発生するまでの間に少なくとも余裕時間 t_aが確保される。また、基準時間 t_sに下限値を設けることにより、 PWM信号 SPWM1のLレベルからHレベルへの変化時点に対しても余裕時間 t_aが確保される。従って、A/D変換器15の電圧サンプリングに対

する PWMノイズの影響を一層低減することができる。

【0046】

さらに、基準時間 t_s とパルス幅 t_p との大小関係によってサンプリング信号 S_t の発生タイミングは（遅延時間 t_d + 余裕時間 t_a ）だけ異なるが、この時間は PWM周期 T に対し十分に小さくできるため、サンプリング信号 S_t をほぼ等間隔で発生させることができる。従って、A/D変換器15は、ノイズに影響されることなく、入力されるアナログ電圧をほぼ一定間隔で正確にサンプリングすることができる。

【0047】

（その他の実施形態）

なお、本発明は上記し且つ図面に示す各実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。

各実施形態について余裕時間 t_a を設定したが、この余裕時間 t_a は、例えばパワー部8における通電電流の変化時間が十分に短いような場合には0に設定できる場合もある。

サンプリング信号生成回路20、23は、ハードウェアによる構成に替えて、CPUを利用してソフトウェア処理する構成としても良い。

IC7は、モータ駆動装置に限らず、一般にPWM制御が必要となる制御装置例えばソレノイド制御装置、ランプ調光装置、インバータ装置などにも適用できる。また、モータ駆動装置1の対象モータは、ブラシレス直流モータや交流モータであっても良い。

【0048】

アナログ電圧処理部の代表例としてA/D変換器を有するICについて説明したが、サンプルホールド回路単体、コンパレータなどのように一般にノイズにより悪影響を受けるアナログ回路を含むICに対しても同様に適用できる。

パワー部8が内蔵されているICであっても作用は同じである。この構成では、IC内部でのPWMノイズが一層大きくなることが想定されるため、本発明を用いることにより一層大きな効果を得ることができるものと考えられる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態を示すモータ駆動装置の電気的構成図

【図2】 サンプリング信号生成回路の電気的構成図

【図3】 PWMに関する各信号のタイミング並びに各電圧波形を示す図

【図4】 本発明の第2の実施形態を示す図2相当図

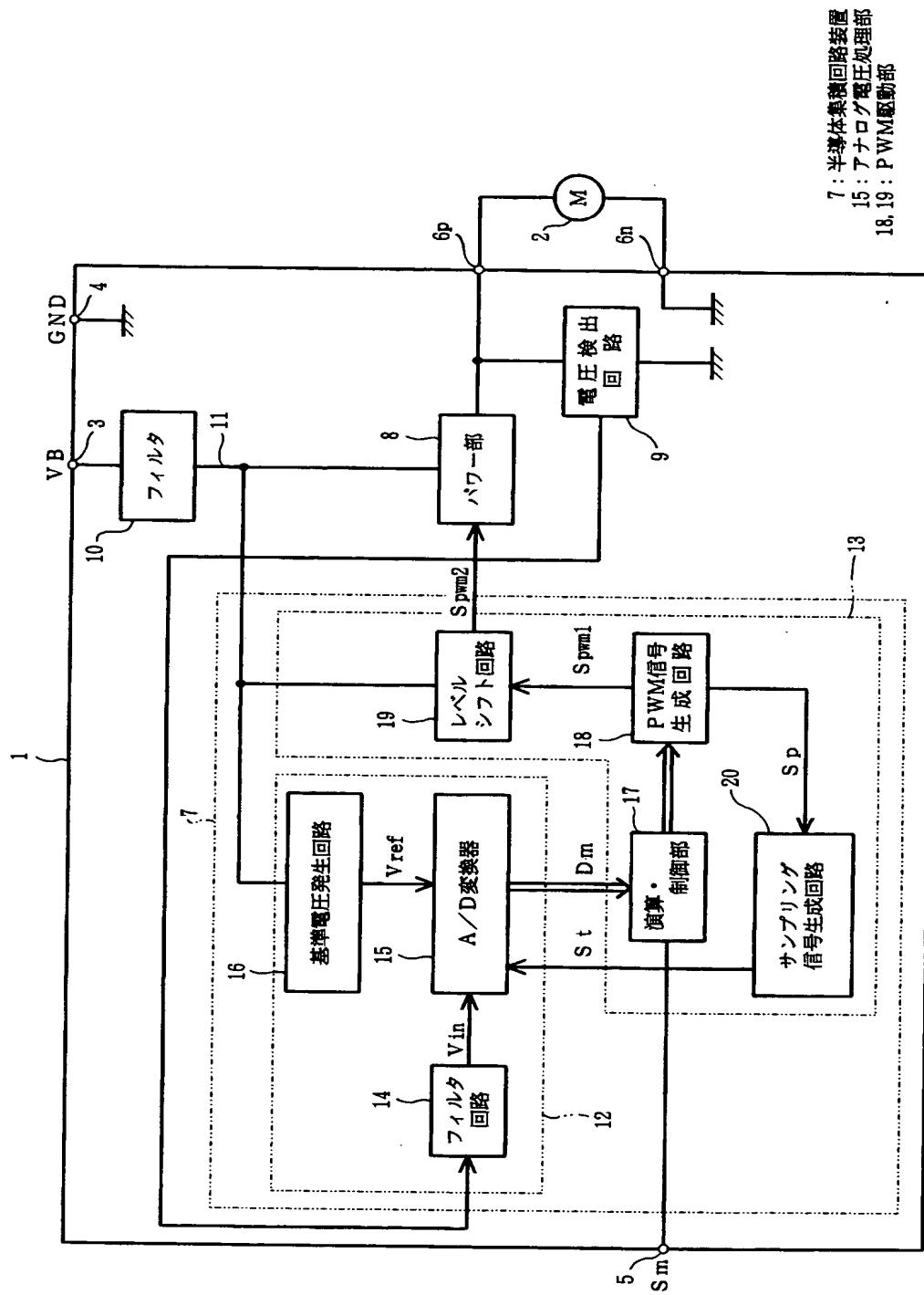
【図5】 図3相当図

【符号の説明】

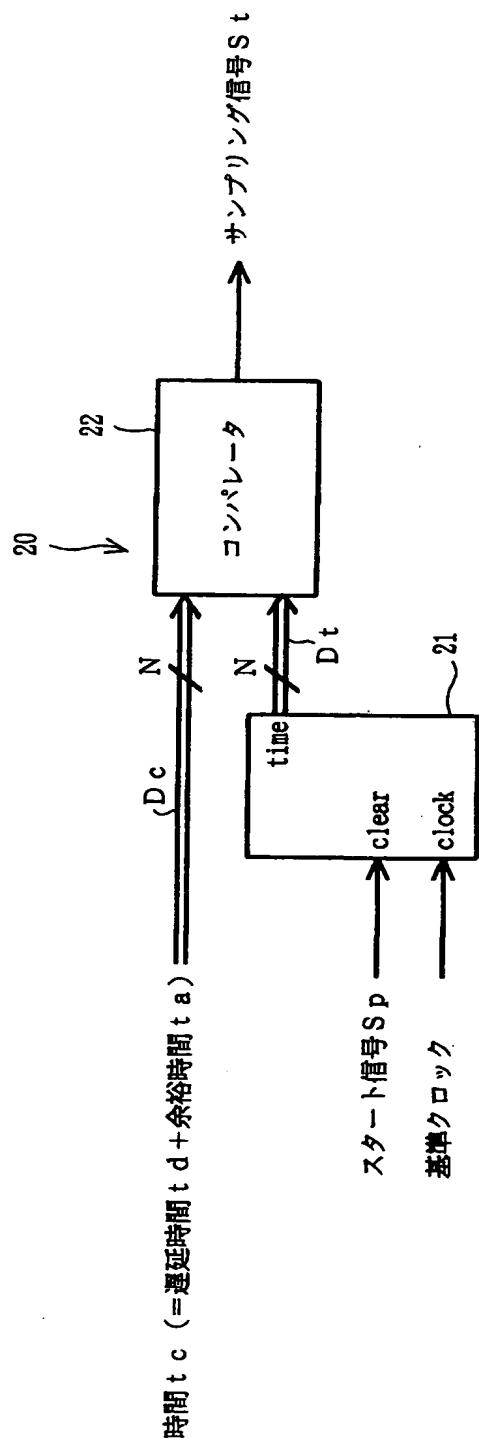
7はIC（半導体集積回路装置）、15はA/D変換器（アナログ電圧処理部）、18はPWM信号生成回路（PWM駆動部）、19はレベルシフト回路（PWM駆動部）、20、23はサンプリング信号生成回路である。

【書類名】 図面

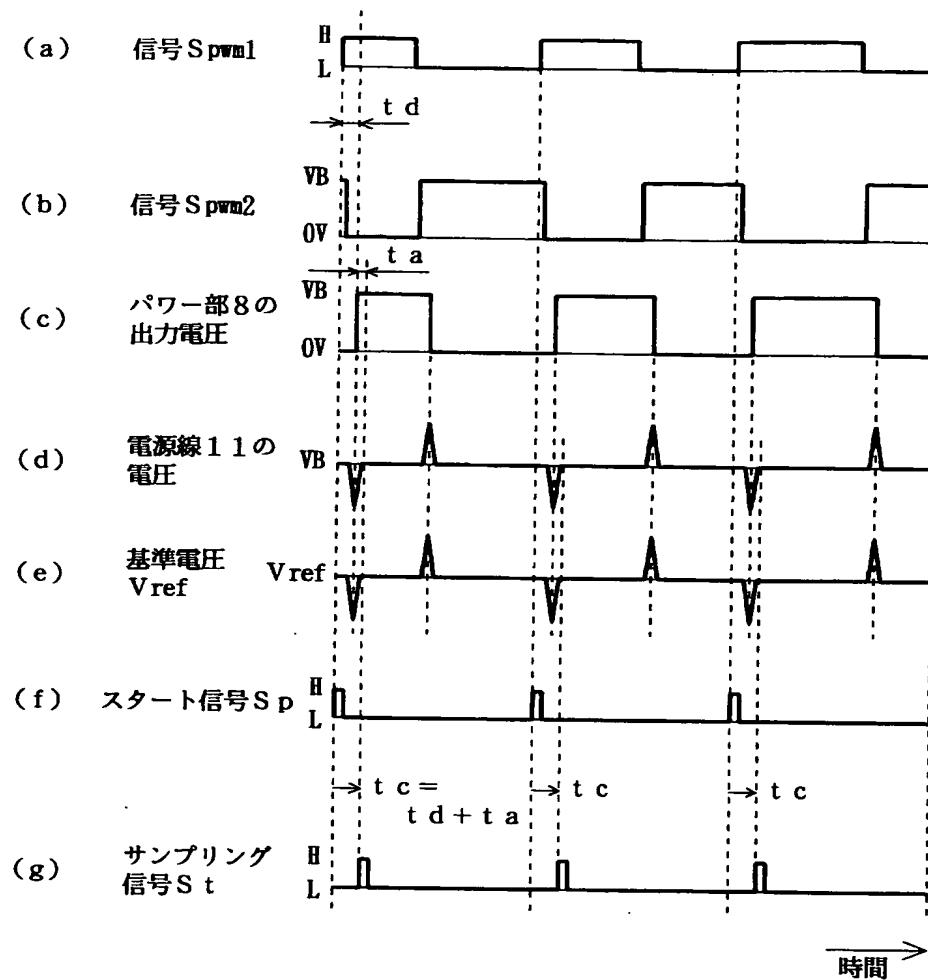
【図 1】



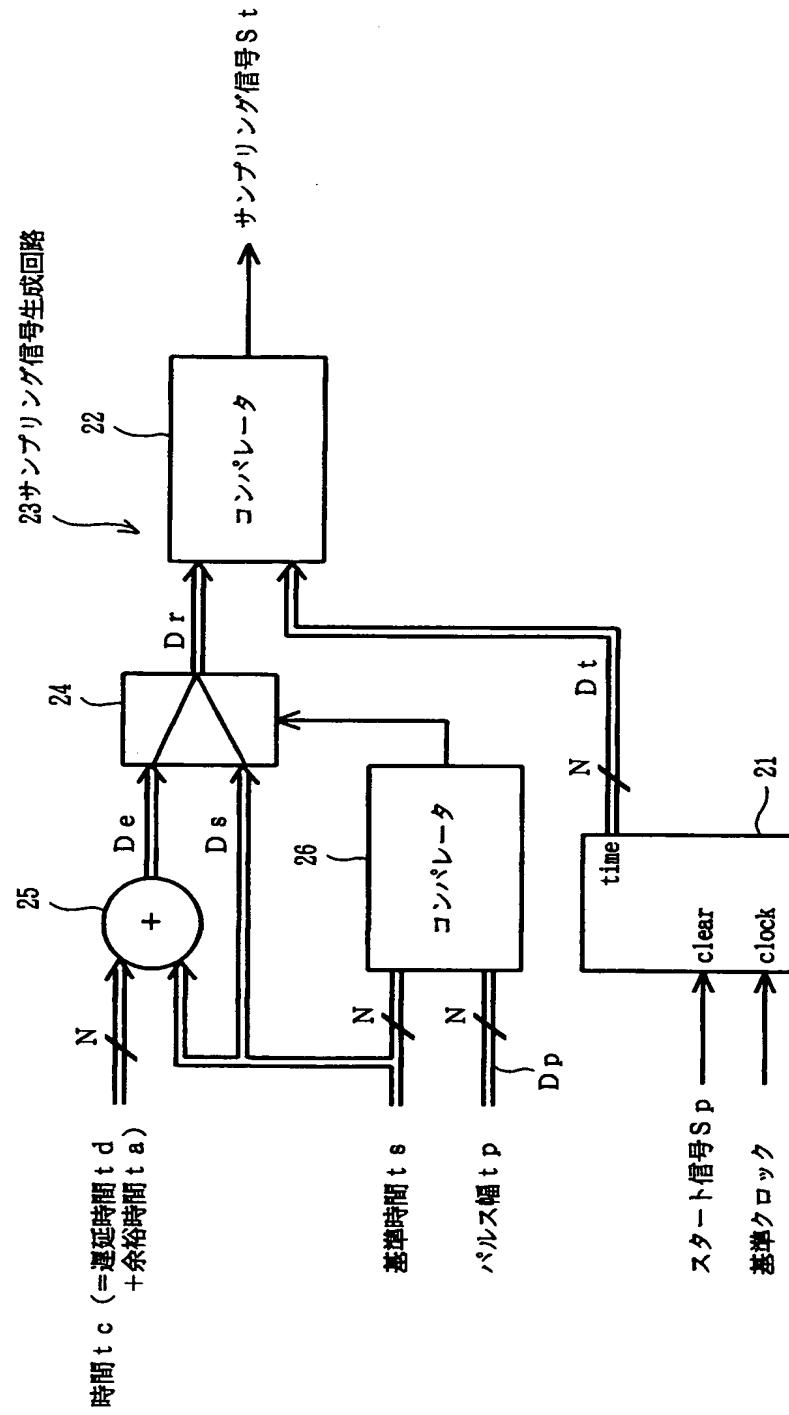
【図2】



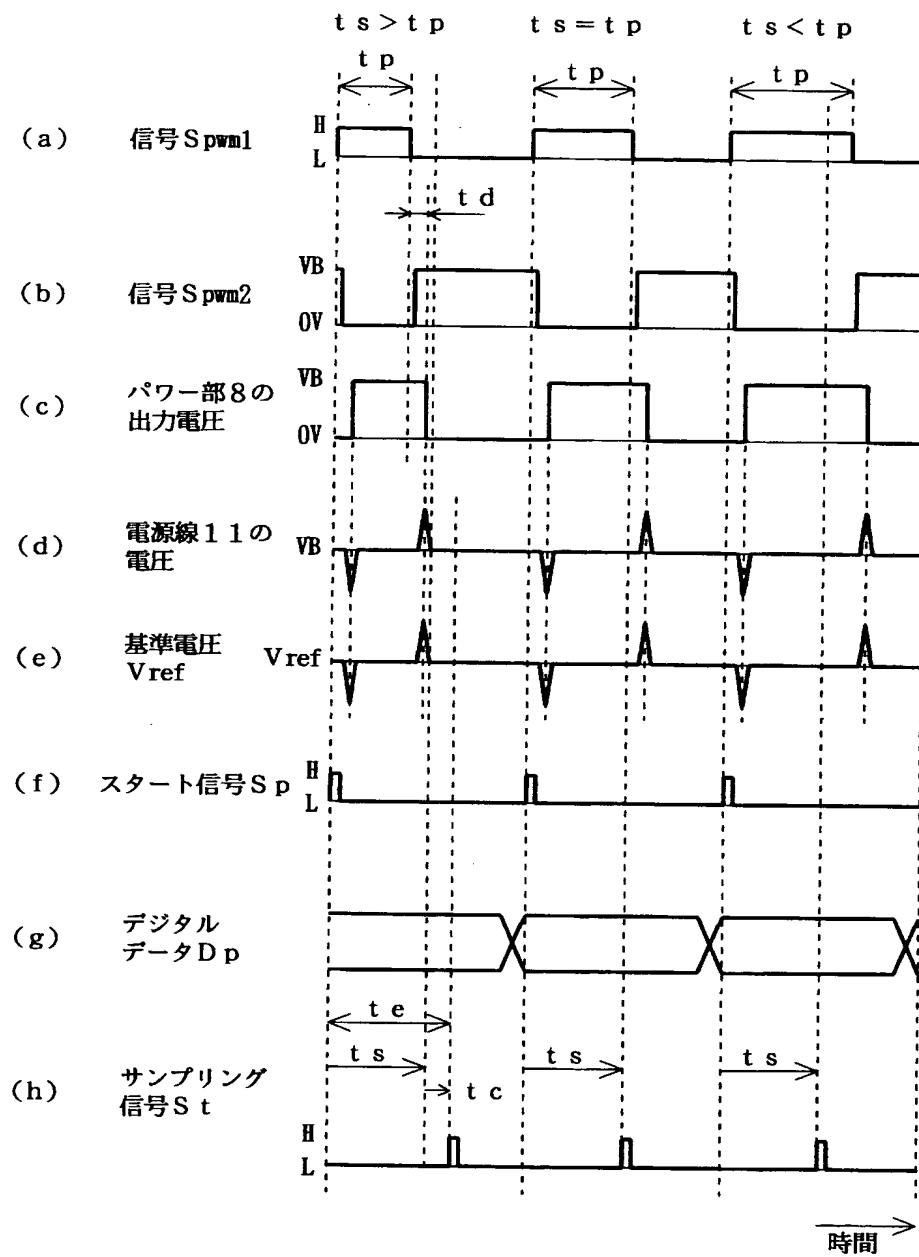
【図3】



【図4】



【図 5】



【書類名】 要約書

【要約】

【課題】 アナログ／デジタル混載ICにおいて、PWM駆動部のPWMノイズがアナログ電圧処理部に及ぼす影響を極力低減する。

【解決手段】 サンプリング信号生成回路20は、PWM信号SPWM1のレベルが変化してからパワー部8の通電状態が実際に変化するまでの遅延時間 t_d が（信号SPWM1のHレベル最小時間幅－余裕時間 t_a ）よりも小さいことを条件として、信号SPWM1の周期開始時点であるLからHレベルへの変化時点を示すスタート信号S_pよりも（遅延時間 t_d ＋余裕時間 t_a ）だけ経過した時点においてA/D変換器15に対してサンプリング信号S_tを出力する。

【選択図】 図1

特願 2003-013492

出願人履歴情報

識別番号 [00004260]

1. 変更年月日 1996年10月 8日

[変更理由] 名称変更

住 所 愛知県刈谷市昭和町1丁目1番地
氏 名 株式会社デンソー